

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175758

(43)Date of publication of application : 13.07.1993

(51)Int.Cl. H03F 3/60
H03F 1/56

(21)Application number : 04-089959

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.03.1992

(72)Inventor : KASHIWA TAKUO

(30)Priority

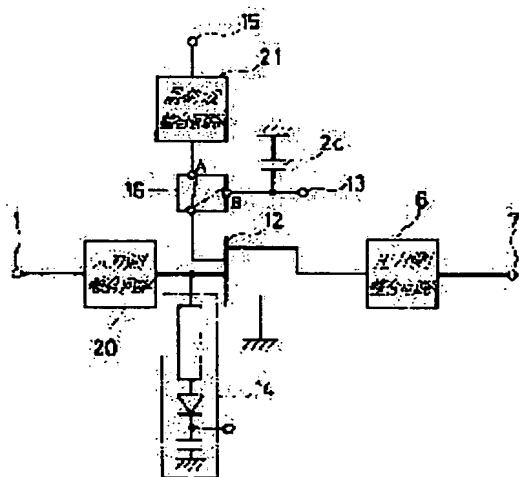
Priority number : 03 83398 Priority date : 20.03.1991 Priority country : JP

(54) MICROWAVE INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To compensate fluctuation in the impedance by using a same matching circuit, to find out plural matching points and to realize a frequency converter and a frequency amplifier in the microwave integrated circuit employing a dual gate FET 5.

CONSTITUTION: A phase control circuit 14 is loaded between a gate input of the dual gate FET 12 and an input side matching circuit 20 to control a passing phase of a signal and a changeover switch 16 used to select a high frequency signal or a DC bias is provided to a 2nd gate terminal of the dual gate FET 12.



LEGAL STATUS

[Date of request for examination] 01.02.1995

[Date of sending the examiner's decision of rejection] 02.12.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-175758

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

H 0 3 F 3/60
1/56

識別記号

庁内整理番号

8836-5J
8124-5J

F I

技術表示箇所

審査請求 未請求 請求項の数6(全11頁)

(21)出願番号 特願平4-89959

(22)出願日 平成4年(1992)3月13日

(31)優先権主張番号 特願平3-83398

(32)優先日 平3(1991)3月20日

(33)優先権主張国 日本(JP)

特許法第30条第1項適用申請有り 1990年9月15日 社
団法人電子情報通信学会発行の「1990年電子情報通信学
会秋季全国大会講演論文集(分冊2)」に発表

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 柏 卓夫

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

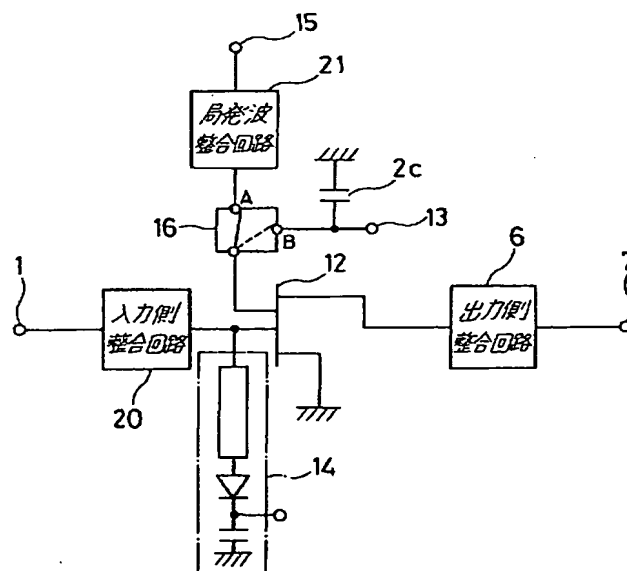
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 マイクロ波集積回路装置

(57)【要約】

【目的】 デュアルゲートFET5を用いたマイクロ波集積回路において、同一の整合回路を用いて、インピーダンスの変動を補償する、また複数の整合点を見出す、さらには周波数変換器と周波数増幅器を実現する。

【構成】 デュアルゲートFET12のゲート入力と入力側整合回路20との間に位相制御回路14を装荷して、通過位相を制御するとともに、デュアルゲートFET12の第2ゲート端子に高周波と直流バイアスとを切り換える切換スイッチ16を設ける。



16: 局発波/直流バイアス切換スイッチ(切換手段)

【特許請求の範囲】

【請求項1】 半導体基板上にストリップ線路で構成される主線路、ショートスタブまたはオープンスタブを有し、インピーダンスの変換を行う整合回路を備えたマイクロ波集積回路装置において、

上記主線路上に並列して負荷される線路及びダイオードよりなる直列回路、及び上記ダイオードのアノード電極にバイアスを印加して上記主線路の通過位相を制御するバイアス端子とから構成された位相制御手段を備えたことを特徴とするマイクロ波集積回路装置。

【請求項2】 入力端子と信号処理部との間の入力側整合回路と、前記信号処理部と出力端子との間に設けられた出力側整合回路とからなるマイクロ波集積回路装置において、

上記入力側または出力側整合回路の少なくとも一方に、整合回路を構成する主線路の通過位相を制御する位相制御手段を設けるとともに、

上記信号処理部にデュアルゲートFETを用いたことを特徴とするマイクロ波集積回路装置。

【請求項3】 請求項2記載のマイクロ波集積回路装置において、

上記位相制御手段は、主線路上に並列して負荷される線路とFETの直列回路から構成されていることを特徴とするマイクロ波集積回路装置。

【請求項4】 請求項2記載のマイクロ波集積回路装置において、

上記位相制御手段は、主線路上に並列して負荷される線路とダイオードの直列回路から構成されていることを特徴とするマイクロ波集積回路装置。

【請求項5】 請求項2記載のマイクロ波集積回路装置において、

上記位相制御手段は、主線路上に並列して負荷される線路と可変容量の直列回路から構成されていることを特徴とするマイクロ波集積回路装置。

【請求項6】 請求項2記載のマイクロ波集積回路装置において、

上記デュアルゲートFETの第2のゲートに、局発波を入力する局発波入力端子または直流バイアスを入力する直流バイアス入力端子とを切り換えて上記第2ゲートと接続する切換手段を設けたことを特徴とするマイクロ波集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はマイクロ波集積回路装置に関し、特にFETを用いた高周波回路の入出力整合回路の改良に関するものである。

【0002】

【従来の技術】 従来はストリップ線路、オープンスタブ、ショートスタブ等を用いて高周波回路の整合回路を構成していた。図9は従来のマイクロ波集積回路装置の

整合回路の一例を示している。図において、1は高周波が入力される入力端子、2aは直流阻止キャパシタ、3はショートスタブでありその一端は直流阻止キャパシタ2aと主線路4間に接続され、その他端は接地に直流阻止キャパシタ2bを介して接続されている。また5はそのゲートに上記主線路4が接続され、その主電極の一方が出力側整合回路6に接続され、他方の主電極が接地されている。さらに7は上記出力側整合回路6の他端に位置する出力端子、8は上記FET5のゲートに電圧を印加するためのゲートバイアス端子である。そして、直流阻止キャパシタ2a、2b、ショートスタブ3、主線路4が入力側整合回路20を構成するものになっている。

【0003】 次に動作について説明する。図10は図9の整合回路によるインピーダンス変換の様子をスミスチャート上で示したものである。すなわちFET5の入力インピーダンスAをストリップ主線路4でインピーダンスBへ変換する。さらにショートスタブ3で所望のインピーダンスC（この場合50Ω）へ変換する。この場合、直流阻止用キャパシタ2は整合に影響しないものを用いる。以上のようにしてFET5のゲート電極におけるインピーダンスAは、入力端子1後段の直流阻止用キャパシタ2a及びショートスタブ3間におけるインピーダンスC（50Ω）に変換されることとなる。なおここで用いられるスミスチャートは50Ω用に規格化されたものである。

【0004】 上述のように、整合するインピーダンスが固定されていたため、整合される側、例えばFET5のインピーダンスがその製造バラツキや温度変化によって変動した場合には、図10の点線で示すようになり整合を補正することが不可能で所望のインピーダンスを得ることができなかった。また、整合するインピーダンスが固定されていたため同一の整合回路で複数のインピーダンスの整合をとることは不可能であり、目的とするインピーダンス毎に整合回路を用意する必要があった。

【0005】 また、図11は従来の周波数変換器を示す図であり、20は高周波に対する入力側整合回路、15はデュアルゲートFET12の第2ゲートに接続された局発波入力端子であり、局発波に対する整合回路21を介して局発波が入力されるようになっている。この回路では、高周波入力端子1に入力される高周波に対して、これよりも低い周波数の局発波を局発波入力端子15より入力することで、高周波と局発波が混合し、デュアルゲートFET12のドレイン端子に低周波である中間周波が出力され、後段の出力側整合回路6は、この中間周波に対して整合をとるように調整されている。

【0006】 さらに図12はデュアルゲートFETを増幅器として用いて構成された高周波増幅器であり、入力側整合回路20及び出力側整合回路6は高周波に対して整合をとるように設計されており、デュアルゲートFET12の第2ゲートはコンデンサ2cにより高周波に対

しては接地されている。また13はデュアルゲートFET12の利得を制御するためのバイアス電位を印加する直流バイアス端子である。この回路では、入力端子1に入力された高周波をデュアルゲートFET12の利得に応じて増幅して出力端子7より取り出すように構成されている。

【0007】このようにデュアルゲートFETを用いて周波数変換器及び高周波増幅器を構成した場合、周波数変換器及び高周波増幅器に対して、それぞれ所望の整合値が得られるように入力側及び出力側整合回路を別々に設計する必要がある、やはり目的とするインピーダンス毎に整合回路を用意する必要がある。

【0008】

【発明が解決しようとする課題】従来のマイクロ波集積回路装置は以上のように構成されており、整合するインピーダンスが固定されているため、整合される側のFET等の素子のインピーダンスが変動した場合、所望のインピーダンスが得られず、また目的とするインピーダンス毎に整合回路を容易する必要がある等の問題点があった。

【0009】また、デュアルゲートFETを用いて周波数変換器及び高周波増幅器を構成した場合、やはり目的とするインピーダンス毎に整合回路を用意する必要がある等の問題点があった。

【0010】この発明は上記のような問題点を解消するためになされたもので、FET等の整合される側の素子のインピーダンスが変動した場合にも整合を補正することができるマイクロ波集積回路装置を得ることを目的とする。

【0011】また、デュアルゲートFETを用いて周波数変換器及び高周波増幅器を構成した場合にも、同一の整合回路で複数の目的とする整合点を得ることができ、入力側、出力側のインピーダンスの整合を独立して行えるマイクロ波集積回路装置を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係るマイクロ波集積回路装置は、整合回路にストリップ主線路長の電気長を変化させることのできる位相制御回路を設けたものである。

【0013】また入力側整合回路と出力側整合回路との間の信号処理部にアイソレーション特性のよいデュアルゲートFETを用いるとともに、上記入力側整合回路及び出力側整合回路の少なくとも一方に、整合回路を構成する主線路の通過位相を制御する位相制御手段を設けたものである。

【0014】さらに、上記デュアルゲートFETの第2ゲートに、局発波を入力する局発波入力端子または直流バイアスを入力する直流バイアス入力端子とを切り換えて上記第2ゲートと接続する切換手段を設けたものである。

【0015】

【作用】この発明においては、整合回路にストリップ主線路長の電気長を変化させることのできる位相制御回路を付加したので、整合をされる側の素子であるFET等のインピーダンスが変動した場合にも所望のインピーダンス変換を行なうことができる。

【0016】また入力側整合回路と出力側整合回路との間の信号処理部にアイソレーション特性のよいデュアルゲートFETを用いるとともに、上記入力側整合回路及び出力側整合回路の少なくとも一方に、整合回路を構成する主線路の通過位相を制御する位相制御手段を設けたから、入力側、出力側のインピーダンスを独立して整合をとることができ、同一の整合回路にて複数の整合点を見出すことができる。

【0017】さらに上記デュアルゲートFETの第2ゲートに切換手段を設け、局発波と直流バイアスとを切り換えて上記第2ゲートに入力するようにしたから、同一の整合回路を用いて周波数増幅器および周波数変換器の機能を実現することができる。

【0018】

【実施例】図1は本発明の一実施例による整合回路を備えたマイクロ波集積回路装置の回路構成図を示しており、図9と同一符号は同一または相当部分を示し、14はFET5と主線路4との間にその一端が接続され、その他端が接地された位相制御回路であり、ストリップ線路9、ダイオード10、直流阻止キャパシタ22、ダイオード10のバイアス端子11とから構成されている。

【0019】次に本発明のマイクロ波集積回路装置の整合回路のインピーダンス変換を、図2のスミスチャートを用いて説明する。いまFET5のインピーダンスが何らかの原因によってAからA'へ変化した場合、バイアス端子11を用いてダイオード10のバイアス値を変化させることによって、位相制御回路14のサセプタンス値を変化させて主線路4の通過位相を制御し、FET5の入力インピーダンス値の変化に応じて主線路4での電気長を変化させることでインピーダンスA'に整合を合わせ、インピーダンスBを得る。その後ショートスタブ3によってインピーダンスBからCへ変換して目的のインピーダンスC(50Ω)を得ることができる。

【0020】このように本実施例によれば、FET5と主線路4との間に、ストリップ線路9及びダイオード10からなる直列回路(位相制御回路14)を設け、FET5の入力インピーダンス値の変化に応じて該回路を構成するダイオード10のバイアス値を変化させて電氣的に主線路4の電気長を変化させるようにしたから、整合される側の素子であるFET5のインピーダンスが何らかの原因で変化した場合にも、整合を補正でき所望のインピーダンスを得ることができる。

【0021】次に本発明の第2の実施例について説明する。この実施例では図3に示すように、入力端子と信号

処理部である FET のゲート電極（第 1 ゲート）との間に、入力側整合回路 20 の主線路 4 a の通過位相を制御する位相制御回路 14 a を設けるとともに、FET のドレイン端子と出力端子との間に出力側整合回路 6 の主線路 4 b の通過位相を制御する位相制御回路 14 b を設け、上記 FET としてアイソレーション特性のよいデュアルゲート (Dual Gate) FET 12 を用い、入力側、出力側整合回路 20、6 のインピーダンスを独立して制御するようにしたものである。またデュアルゲート FET 12 の他方のゲート電極（第 2 ゲート）にはゲートバイアス端子 13 が接続され、これに印加する電圧で FET 12 の増幅率を変化させるとともに、コンデンサ 2 c により高周波に対しては接地されている。

【0022】次に図 4 のスミスチャートを用いて動作を説明する。本実施例ではデュアルゲート FET 12 のアイソレーション特性の効果により、入力側、出力側の位相を独立して制御することが可能であり、FET 12 のインピーダンスに関わらず、整合点を変化させることができ、複数の周波数で整合を合わせることができる。すなわち、いま入力側整合回路 20 のインピーダンスを A、出力側整合回路 6 のインピーダンスを D とすると、位相制御回路 14 a を構成するダイオード 10 への印加バイアスを変化させることによって、ある周波数 f_1 の入力インピーダンス A は、周波数 f_2 におけるインピーダンス A' に整合が合うようになる。しかる後、入力側整合回路 20 のショートスタブ 3 によってインピーダンス B から C へ変換して目的のインピーダンス C を得る。

【0023】出力側においても入力側の場合と同様に、周波数 f_1 のインピーダンス D は、周波数 f_2 のインピーダンス D' で整合がとれることより複数の周波数において整合がとれる。またこの時に、入力側、出力側の位相制御は必ずしも同時に行う必要はなく、入力側あるいは出力側整合回路の位相制御を先に行ない、その後残った方の位相制御を行なうようにしてもよい。これはデュアルゲート FET 12 のアイソレーション特性がよいため入力側、出力側整合回路のインピーダンス整合が相互に影響しないためである。このようにすることで容易に出力側、入力側のインピーダンスを所望の値に整合することができ、回路設計を容易なものとすることができる。

【0024】次に本発明の第 3 の実施例について説明する。上記デュアルゲート FET 12 を用いた高周波増幅器は、デュアルゲート FET 12 の第 2 ゲートを高周波に対して接地せずに局発波を入力する局発波入力端子として用いることで、周波数変換器として作用するものであるが、この実施例では図 5 に示すように、デュアルゲート FET 12 の第 2 ゲートに切換スイッチ 16 を設け、直流バイアス端子 13 と局発波入力端子 15 とを切り換えてデュアルゲート FET 12 の第 2 ゲートに入力する構成とすることにより、高周波増幅器と周波数変換

器を同一の整合回路を用いて実現するようにしたものである。

【0025】以下、動作について図 6 を用いて説明する。図 5 の局発波／直流バイアス切換スイッチ 16 が端子 A に接続されているとき、デュアルゲート FET 12 のドレイン端子には中間周波 f_{IF} が出力されており、従って出力側整合回路 6 は位相制御回路 14 によりこの中間周波 f_{IF} に対して整合されている。このときのインピーダンスは図 6 のスミスチャート上の点 C で表される。今、局発波／直流バイアス切換スイッチ 16 が端子 B に接続されたとき、デュアルゲート FET 12 の第 2 ゲート端子は高周波に対しては接地されていることになり、この時、位相制御回路 14 で出力側整合回路 6 の主線路（図示せず）の見掛け上の長さを変化させて通過位相を変化させることで、それまで中間周波数 f_{IF} に整合されたインピーダンスは、高周波 f_H に整合される。このインピーダンスはスミスチャート上で点 D で表される。この点 C ～ 点 D の位相差は ϕ_{C-D} であり、

$$【0026】 \phi_{C-D} = \phi_C - \phi_D$$

$$【0027】$$

$$【数 1】$$

$$\phi_C = \tan^{-1} \left(\frac{B_C}{2 \cdot Y_0} \right)$$

【0028】と表される。ここで ϕ_C 、 ϕ_D はそれぞれ点 C、点 D 上での位相制御回路 14 における主出力側整合回路 6 の図示しない主線路の通過位相であり、 B_C は点 C 上での位相制御回路 14 のサセプタンス、 Y_0 は位相制御回路 14 のアドミッタンスである。すなわち位相制御回路 14 のサセプタンスを変化させることで、出力側整合回路 6 の主線路の通過位相を制御して、整合するインピーダンスを、中間周波数 f_{IF} から高周波 f_H へ変化させることができる。

【0029】また、上記構成において、入力端子 1 に中間周波 f_{IF} が入力され、局発波入力端子 15 に中間周波よりも高い周波数が入力されている状態から、高周波／直流バイアス切換スイッチ 16 の接続を端子 A から端子 B に切り換えて高周波に対して接地し中間周波数増幅器として用いる場合、位相制御回路 14 のサセプタンスを変化させて主線路の通過位相を制御することで、それまで高周波に対して整合されていた出力側整合回路 6 のインピーダンスを中間周波数に対して整合をとるインピーダンスとすることができる。

【0030】次に上記第 3 の実施例の局発波／直流バイアス切換スイッチ 16 の具体的な回路例を図 5 に示す。上記局発波／直流バイアス切換スイッチ 16 は、ストリップ線路 160、コンデンサ 161、FET 162 からなる直列回路、及び FET 162 に並列に装荷されたインダクタ 163 からなる共振回路である。切り換え時には上記 FET 162 のゲート入力端子 164 に電圧を印

加させてFET162のオン、オフ動作を制御し、周波数変換器を構成する時には共振回路を開放にして整合回路21出力からみたインピーダンスを無限大にして局発波をデュアルゲートFET12の第2ゲートに供給し、一方、増幅器を構成するときは整合回路21出力からみたインピーダンスを小さくして局発波に対して接地することで、上記デュアルゲートFET12の第2ゲートに直流バイアスを供給する。

【0031】さらに図7は本発明の第4の実施例を示し、図7(a)に示すように、入力側、出力側整合回路20、6に対してそれぞれ位相制御回路4a、4bを設け入力側、出力側の独立した制御を行うとともに、デュアルゲートFET12の第2ゲートに切換スイッチ16を設けて局発波と直流バイアスを切り換えて上記第2ゲートに入力するようにしたものである。このように構成することで、図7(b)のブロック図に示されるように、高周波増幅器23、周波数変換器24、中間周波増幅器25を同一チップで構成してダウンコンバータを実現できる。なお図中26は上記周波数変換器24と接続する局部発振器を示す。

【0032】なお、上記各実施例では位相制御回路14をストリップ線路とダイオードを用いて構成したが、上記ダイオードに代えてFETを用いて構成してもよく、同様の効果を得ることができる。

【0033】また上記第2の実施例では、入力側、出力側整合回路に、それぞれ位相制御回路14a及び14bを設けたが、位相制御回路は必ずしも入力側、出力側両方に設ける必要はなく、いずれか一方であってもよい。

【0034】また上記各実施例では、入力側整合回路20とFET12との間の主線路またはFET12と出力側整合回路6との間の主線路に位相制御回路を配置したが、位相制御回路の配置位置はこれに限られるものではなく、FET12と入力端子1または出力端子7との間の線路上であればどこでもよい。

【0035】

【発明の効果】以上のようにこの発明に係るマイクロ波集積回路装置によれば、整合回路に位相制御回路を設け、ストリップ主線路長の電気長を変化させて主線路を伝達する通過位相を制御するようにしたので、整合される側の素子のインピーダンスの変動に対しても整合を補正することができ、所望の周波数帯域に精度よく整合することができるという効果がある。

【0036】また入力側整合回路と出力側整合回路との間の信号処理部にアイソレーション特性のよいデュアルゲートFETを用いるとともに、上記入力側整合回路及び出力側整合回路の少なくとも一方に、整合回路を構成する主線路の通過位相を制御する位相制御手段を設けたから、入力側、出力側の整合を独立して行なうことができ、回路設計を容易なものとすることができる、またインピーダンス整合の周波数を可変にすることができ、複

数の周波数に対し広範囲に精度よく整合をとることができるという効果がある。

【0037】さらに、上記デュアルゲートFETの第2ゲートに切換手段を設け、局発波と直流バイアスを切り換えて上記第2ゲートに入力するようにしたから、同一の整合回路を用いて周波数増幅器および周波数変換器ひいては中間周波増幅器の機能を同一の整合回路を用いて実現することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例によるマイクロ波集積回路装置の回路図である。

【図2】上記実施例によるマイクロ波集積回路装置の位相制御回路によるインピーダンスの変換を説明するための図である。

【図3】この発明の第2の実施例によるマイクロ波集積回路装置の回路図である。

【図4】上記実施例によるマイクロ波集積回路装置のインピーダンスの変換を説明するための図である。

【図5】この発明の第3の実施例によるマイクロ波集積回路装置の回路図である。

【図6】上記実施例の位相制御回路によるインピーダンスの変換を説明するための図である。

【図7】本発明の第4の実施例によるマイクロ波集積回路装置によりダウンコンバータを構成したときの回路図及び機能ブロック図である。

【図8】上記第3の実施例によるマイクロ波集積回路装置の局発波／直流バイアス切換スイッチの構成を示す回路図である。

【図9】従来のマイクロ波集積回路装置の回路図である。

【図10】従来のマイクロ波集積回路装置の整合回路によるインピーダンスの変換を説明するための図である。

【図11】従来のマイクロ波集積回路装置において、周波数変換器を構成した場合の回路図である。

【図12】従来のマイクロ波集積回路装置において、高周波増幅器を構成した場合の回路図である。

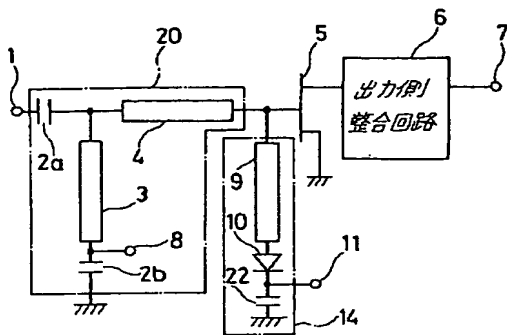
【符号の説明】

- 1 高周波入力端子
- 2 直流阻止コンデンサ
- 3 ショートスタブ
- 4 主線路
- 5 FET
- 6 出力側整合回路
- 7 高周波出力端子
- 8 ゲートバイアス端子
- 9 ストリップ線路
- 10 ダイオード
- 11 バイアス制御端子
- 12 デュアルゲートFET
- 13 ゲートバイアス端子

- 14 位相制御回路（手段）
 15 局発波入力端子
 16 局発波／直流バイアス切換スイッチ（切換手段）

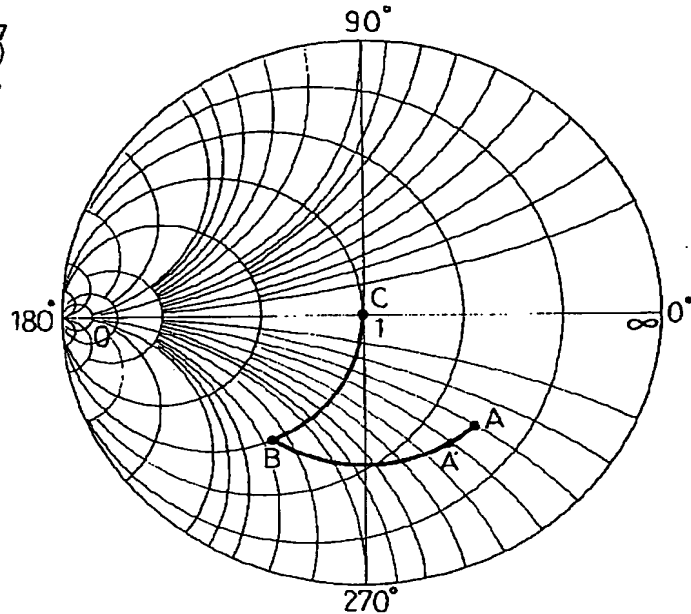
- 20 入力側整合回路
 21 局発波整合回路
 22 直流阻止コンデンサ

【図1】



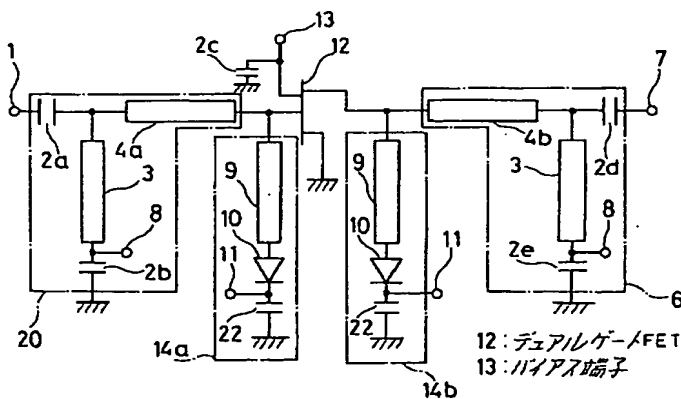
- 1: 高周波入力端子
 2a, 2b: 直流阻止コンデンサ
 3: ショートスタブ
 4: 主線路
 5: FET
 7: 高周波出力端子
 8: ゲートバイアス端子
 9: ストップ線路
 10: ダイオード
 11: バイアス制御端子
 14: 位相制御回路
 20: 入力側整合回路

【図2】



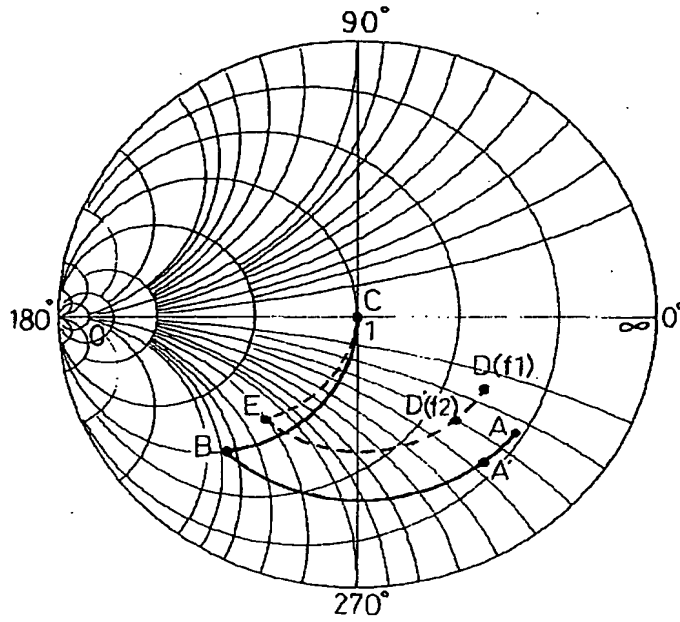
- A: FETの入カインピーダンス
 A': 変動後の入カインピーダンス
 B: 主線路により変換された
インピーダンス
 C: 所望のインピーダンス

【図3】

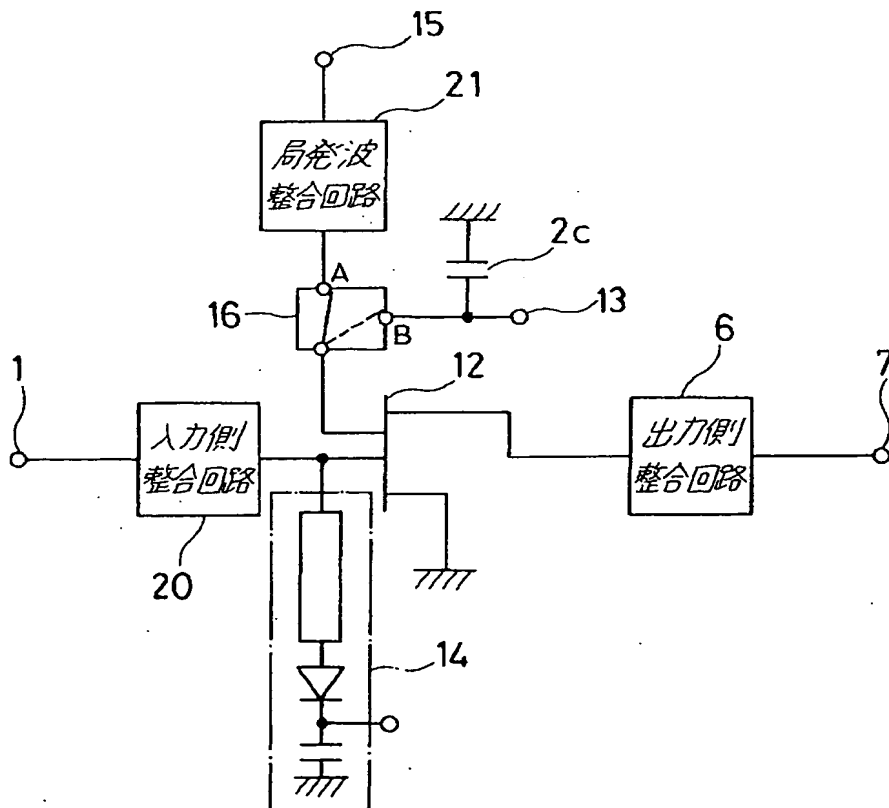


- 12: デュアルゲートFET
 13: バイアス端子

【図4】

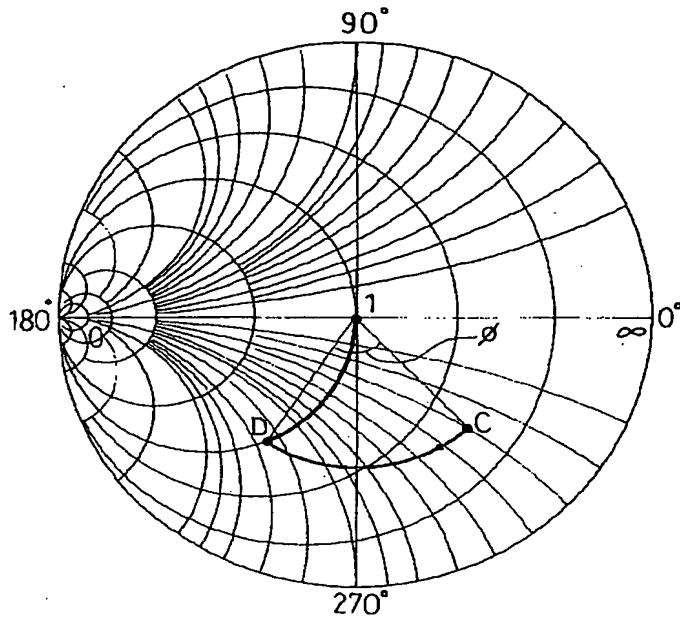


【図5】



16: 局発波/直流バイアス切替スイッチ (切替手段)

【図6】

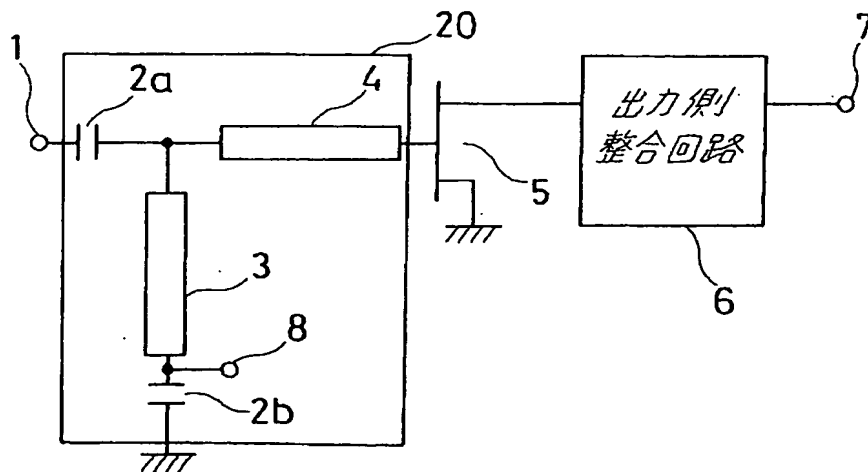


C : 中間周波のインピーダンス

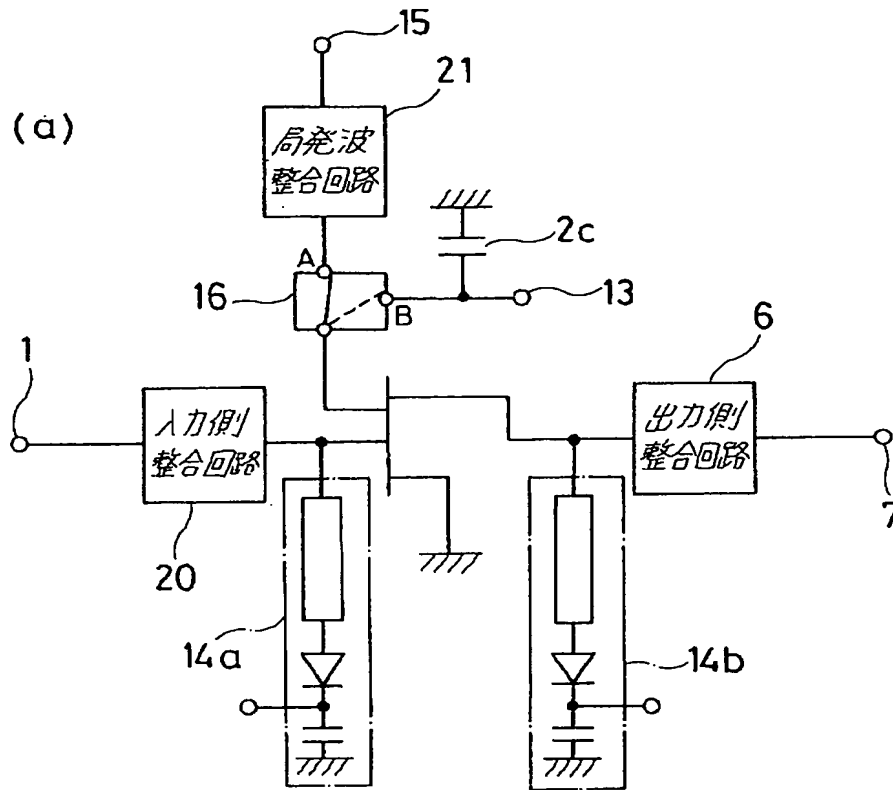
D : 高周波のインピーダンス

ϕ : 位相差

【図9】

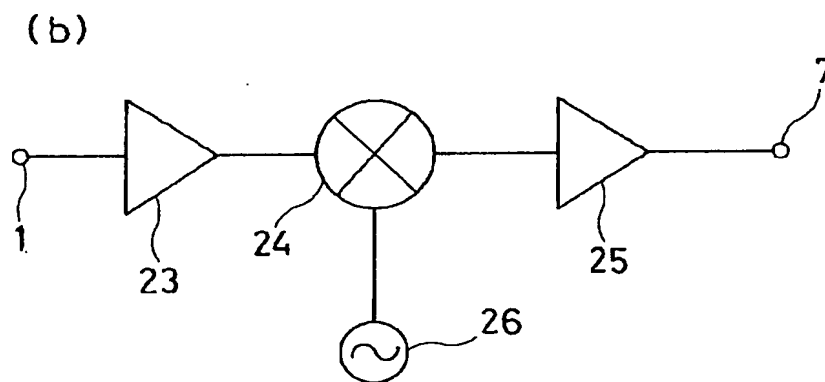


【図7】

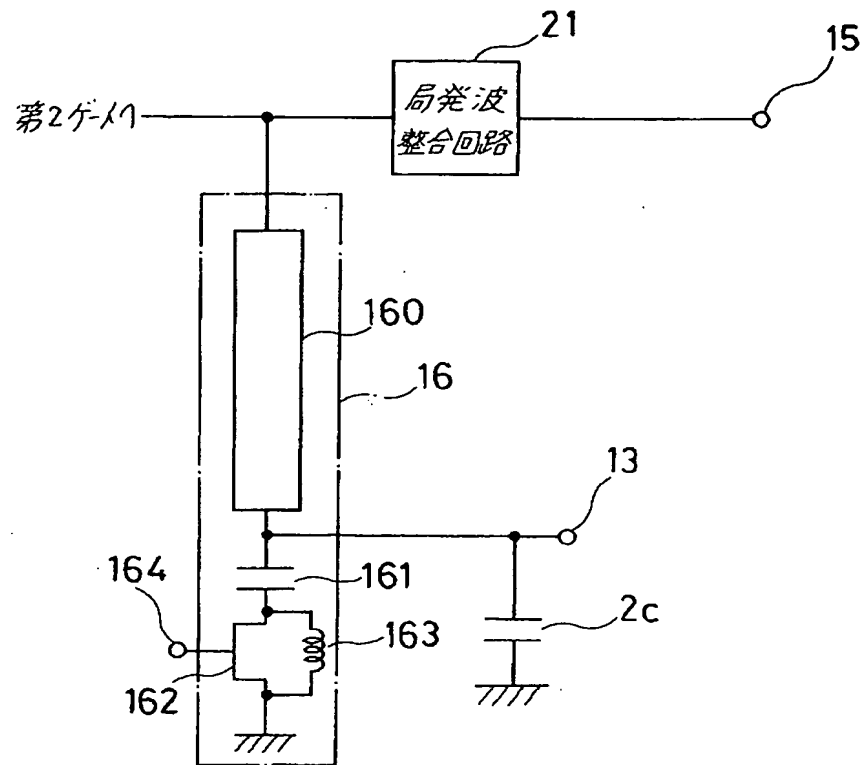


14a: 入力側位相制御回路

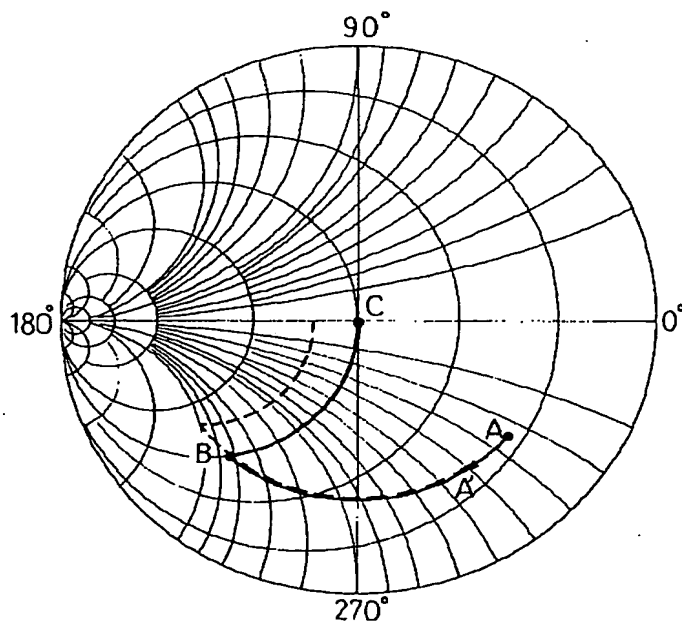
14b: 出力側位相制御回路



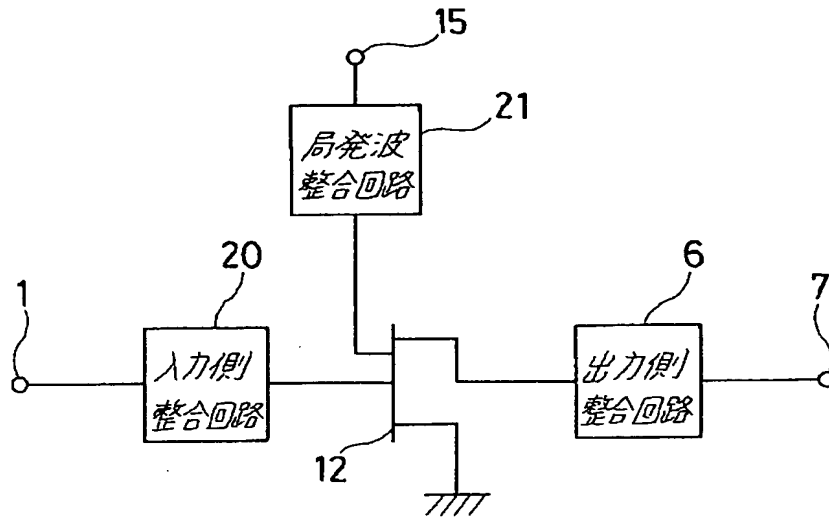
【図8】



【図10】



【図11】



【図12】

